

BEST AVAILABLE COPY PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148586

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

H01L 29/786
G02F 1/136
H01L 21/28
H01L 21/3205

(21)Application number : 07-309614

(71)Applicant : SHARP CORP

(22)Date of filing : 28.11.1995

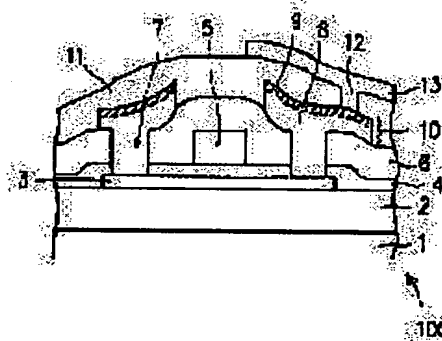
(72)Inventor : TETSU SAORI
SAKAMOTO HIROMI

(54) THIN FILM TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the etching shift quantity of an Mo film to an Al film in a TFT, by forming each of conductor layers connected respectively with its drain and source which are formed on an insulation substrate region out of a laminated structure comprising an Al based metal film and an Mo film containing nitrogen.

SOLUTION: As a wiring 10 for the source or drain of a TFT, an Al alloy film 8 of 500nm in film thickness is formed in the atmosphere comprising an Ar gas of 10sccm and a gas pressure of 3.0×10^{-3} Torr. Thereon, an Mo film 9 of 150nm in film thickness is formed in the atmosphere comprising an Ar gas of 20sccm, an N₂ gas of 10sccm and a gas pressure of 3.0×10^{-3} Torr. The Al and Mo thin films 8, 9 are patterned by wet etching which is performed dipping them into the mixture of phosphoric, nitric and acetic acids and water, making the simultaneous etchings of these two film layers 8, 9 possible. Since the Mo film 9 constituting the two-layer structure together with the Al film 8 is formed in the atmosphere containing nitrogen, the etching shift quantity of the Mo film 9 to the Al film 8 can be suppressed to be small.



LEGAL STATUS

[Date of request for examination] 23.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3302240

[Date of registration] 26.04.2002

- [Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-148586

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/786			H01L 29/78	612C
G02F 1/136	500		G02F 1/136	500
H01L 21/28	301		H01L 21/28	301L
				301R
21/3205			21/88	R
審査請求 未請求 請求項の数8 OL (全8頁) 最終頁に続く				

(21)出願番号 特願平7-309614

(22)出願日 平成7年(1995)11月28日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 鎌 さおり

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 坂本 弘美

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

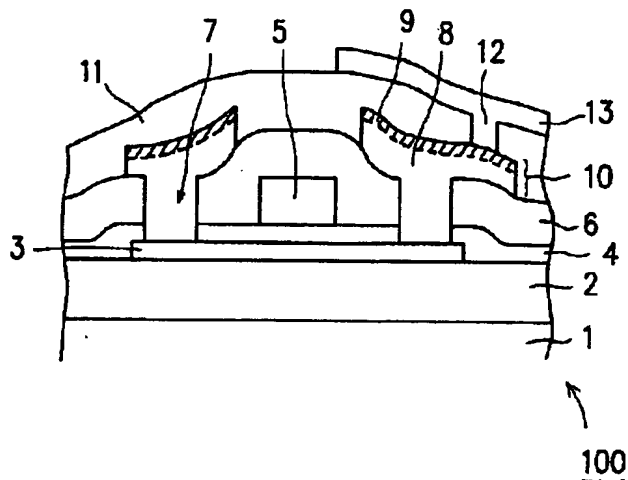
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57)【要約】

【課題】 ソース、ドレイン電極配線として用いられるMo膜とAl膜との2層構造の導体層を、Al膜に対するMo膜のシフトを抑えつつ、エッチング可能とし、これにより安定した特性を有する高性能薄膜トランジスタを提供する。

【解決手段】 ソース、ドレイン電極配線10を、Al系金属膜8とMo膜9との2層構造とするとともに、該Mo膜9を窒素を含むものとして、Mo膜9のエッチレートとAl系金属膜8のエッチレートに近いものとした。



【特許請求の範囲】

【請求項1】 絶縁性下地領域上に形成されたソース、ドレイン領域と、

該ソース、ドレイン領域につながる導体層とを備え、該導体層を、A1系金属膜と、窒素を含有するMo膜とからなる積層構造とした薄膜トランジスタ。

【請求項2】 請求項1記載の薄膜トランジスタにおいて、前記窒素を含有するMo膜の比抵抗は、 $65 \sim 195 \mu\Omega \text{ cm}$ である薄膜トランジスタ。

【請求項3】 絶縁性下地領域上に形成されたソース、ドレイン領域とつながる、A1系金属膜とMo膜との2層構造の導体層を形成する工程を含み、該Mo膜を、窒素又はアンモニアを含んだ雰囲気中で成膜する薄膜トランジスタの製造方法。

【請求項4】 請求項3記載の薄膜トランジスタの製造方法において、前記Mo膜を、ArガスとN₂ガスとの混合ガス雰囲気中にてスパッタ法により成膜する薄膜トランジスタの製造方法。

【請求項5】 請求項3記載の薄膜トランジスタの製造方法において、前記Mo膜を、N₂もしくはアンモニアを含むガスを用いてCVD法により成膜する薄膜トランジスタの製造方法。

【請求項6】 絶縁性下地領域上に形成されたソース、ドレイン領域とつながる、A1系金属膜とMo膜との2層構造の導体層を形成する工程を含み、該Mo膜を、Moの成膜処理により形成された膜中に窒素を導入して形成する薄膜トランジスタの製造方法。

【請求項7】 請求項6記載の薄膜トランジスタの製造方法において、前記Moの成膜処理により得られた膜を、窒素もしくはアンモニア雰囲気中でアニールして、該膜に窒素を導入する薄膜トランジスタの製造方法。

【請求項8】 請求項6記載の薄膜トランジスタの製造方法において、前記Moの成膜処理により得られた膜に、イオン注入法により窒素を導入する薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ及びその製造方法に関し、特に、液晶表示装置（以下、LCDともいう。）において絵素選択用のスイッチング素子や液晶駆動用のドライバー素子として用いられる薄膜トランジスタの構造及びその形成プロセスに関するものである。

【0002】

【従来の技術】LCDを構成する、TFTがマトリクス状に配置されたアクティブマトリクス基板では、TFT

のソース、ドレイン領域につながる導体層、つまりソース、ドレイン電極やソース、ドレイン配線（以下、これらをまとめてソース、ドレイン電極配線という。）として、A1薄膜が用いられる。また、この基板には各TFTに対応させて、ITOからなる画素電極が設けられている。

【0003】このような構成の基板では、ソース、ドレイン電極配線用のA1膜のパターニングを行う場合、パターン形成するためのレジストの現像処理時に、現像液の作用によってA1膜とITO膜との間に電池反応が生じ、この部分で、A1膜の腐食が発生する。

【0004】また、この腐食を防ぐために、A1膜をパターニングしてなるソース、ドレイン電極配線上に絶縁膜を成膜し、この絶縁膜にコンタクトホールを開けて、上層の画素電極と導通をとるとする方法がとれるが、この場合、ITO膜の成膜時に、絶縁膜のコンタクトホール内に剥き出しになっているA1膜が、成膜装置内の酸素雰囲気中で酸化し、ITO膜とソース、ドレイン電極配線との間でオーミックコンタクトがとれなくなるという問題がある。

【0005】そこで、上記のような問題に対しては、ソース、ドレイン電極配線を、A1膜とMo膜の2層構造とすることにより、腐食を防ぐことができ、しかもITO膜とソース、ドレイン電極配線とのオーミックコンタクトを可能とすることができる。

【0006】さらに、上記ソース、ドレイン電極配線を、A1膜上にMo膜を成膜したMo/A1の2層構造とすることにより、後工程での熱処理によるA1の突起物、ヒロックやホイスカ等の発生を抑え、マイグレーションを防ぎ、配線の信頼性を向上させることができる。

【0007】

【発明が解決しようとする課題】このようにソース、ドレイン配線電極を、A1膜とMo膜の2層構造とした場合、これらの層は2層連続して成膜することができ、また、リン酸、硝酸、酢酸、及び水からなる混合液により、2層同時にエッチングできるため、工程数を増やすことなく腐食等の問題を解決することができる。

【0008】ところが、A1膜とMo膜のエッチングレートが異なるために、Mo膜もしくはA1膜のパターンがエッチングによりシフトする、つまりMo膜及びA1膜の一方のパターン幅が他方のパターン幅より小さくなるという問題が起こる。

【0009】図6(a)に示すように、上記ウェットエッチングによって、ソース、ドレイン電極配線を構成する2層膜のうち下層の膜21が上層の膜22に比べてエッチングされすぎた場合、このソース、ドレイン電極配線を覆うよう絶縁膜や保護膜等の膜23を形成すると、ソース、ドレイン電極配線の上部に空洞24やそれから発達したクラック25等が発生する。そして後処理工程においてこのような空洞やクラック内にしみこんだ酸等

によってソース、ドレイン電極配線が腐食して断線するという問題が発生する。

【0010】また、上記ウェットエッチングによって、ソース、ドレイン電極配線を構成する2層膜のうちの上層の膜22が下層の膜21に比べてエッチングされすぎ、その配線パターンが下層のものより細くなると、ソース、ドレイン電極配線上に形成したコンタクトホールでのITO膜のカバレッジが悪くなるためコンタクト抵抗が高くなり、ITO膜とソース、ドレイン電極配線との間での導通がとれ難くなる。

【0011】また、図6(b)のように、上記ソース、ドレイン電極配線上に形成したコンタクトホール23a内で、ソース、ドレイン電極配線を構成する2層膜のうちの下層の膜21が剥き出しになっていると、ITO膜26のマスクアライメント時のパターンずれなどがあった場合、ITO膜26のエッチング液や、後処理工程で使われる酸等によって、ソース、ドレイン電極配線に腐食部分27が発生するという問題がある。

【0012】また、ソース、ドレイン電極配線に採用されているMo/A1の2層構造におけるA1膜の信頼性、つまり構造上の強度などの点からも、下層のA1膜のエッチングシフトが大きい場合には、このソース、ドレイン電極配線を覆う膜のカバレッジが劣化しやすいという問題が発生する。また、上記Mo/A1の2層構造における上層のMo膜のエッチングシフトが大きい場合には、A1膜の熱処理における耐ヒロック性等の劣化を招くという問題がある。

【0013】ところで、2層構造の配線におけるサイドエッチを低減するために、積層膜の膜厚比を制御する手法が特開平6-104241号公報に開示されているが、本件発明者らの実験によると、Mo/A1の2層構造では、Mo膜の方がその膜厚の比によらずA1膜に比べて配線幅が細くなることが確認された。

【0014】本発明は上記のような問題点を解決するためになされたもので、ソース、ドレイン電極配線として用いられるMo膜とA1膜との2層構造の導体層を、A1膜に対するMo膜のシフトを抑えつつ、エッチングすることができる薄膜トランジスタ及びその製造方法を得ることを目的とする。

【0015】

【課題を解決するための手段】この発明に係る薄膜トランジスタは、絶縁性下地領域上に形成されたソース、ドレイン領域と、該ソース、ドレイン領域につながる導体層とを備え、該導体層を、A1系金属膜と、窒素を含有するMo膜とからなる積層構造としたものである。そのことにより上記目的が達成される。

【0016】この発明の薄膜トランジスタにおいては、前記窒素を含有するMo膜の比抵抗は、 $65 \sim 195 \mu\Omega \text{cm}$ であることが好ましい。

【0017】この発明に係る薄膜トランジスタの製造方

法は、絶縁性下地領域上に形成されたソース、ドレイン領域とつながる、A1系金属膜とMo膜との2層構造の導体層を形成する工程を含み、該Mo膜を、窒素又はアンモニアを含んだ雰囲気中で成膜するようにしたものである。そのことにより上記目的が達成される。

【0018】この発明の薄膜トランジスタの製造方法においては、前記Mo膜を、ArガスとN₂ガスとの混合ガス雰囲気中にてスパッタ法により成膜することが好ましい。

10 【0019】この発明の薄膜トランジスタの製造方法においては、前記Mo膜を、N₂もしくはアンモニアを含むガスを用いてCVD法により成膜することが好ましい。

【0020】この発明に係る薄膜トランジスタの製造方法は、絶縁性下地領域上に形成されたソース、ドレイン領域とつながる、A1系金属膜とMo膜との2層構造の導体層を形成する工程を含み、該Mo膜を、Moの成膜処理により形成された膜中に窒素を導入して形成するものである。そのことにより上記目的が達成される。

20 【0021】この発明の薄膜トランジスタの製造方法においては、前記Moの成膜処理により得られた膜を、窒素もしくはアンモニア雰囲気中でアニールして、該膜に窒素を導入することが好ましい。

【0022】この発明の薄膜トランジスタの製造方法においては、前記Moの成膜処理により得られた膜に、イオン注入法により窒素を導入することが好ましい。

【0023】以下、本発明の作用について説明する。この発明においては、ソース、ドレイン領域につながる導体層を、A1系金属膜と、窒素を含有するMo膜とからなる積層構造としたので、Mo膜のエッチレートがA1系金属膜のエッチレートに近いものとなり、これによりA1膜に対するMo膜のシフトを抑えつつ、上記2層構造の導体層をエッチングすることができる。

【0024】

【発明の実施の形態】まず、本発明の基本原則について説明する。

【0025】本発明は、ソース、ドレイン電極配線として形成されたA1系金属膜の上層または下層として、Mo膜を、Arガスと、Arガス流量の10%~70%に相当する流量のN₂ガスとの混合ガス中においてスパッタ法により成膜するものである。

【0026】本発明は、ソース、ドレイン電極配線として形成したA1系金属膜の上層または下層として、Mo膜を窒素またはアンモニアを含んだ雰囲気中でCVD法により成膜するものである。

【0027】本発明は、A1系金属膜の上層または下層としてMoを成膜した後、成膜したMoに対して、イオン注入処理、もしくは窒素またはアンモニア雰囲気中での処理温度450~600℃によるアニール処理を施して、窒素を導入するものである。

【0028】このような方法により、比抵抗が $65 \sim 195 \mu\Omega\text{cm}$ であるような、窒素を含有するMo膜が形成され、ウェットエッチングの際にAl膜に対するMo膜のシフト量を小さく抑えることが可能となる。

【0029】具体的には、図7に示すように、Mo膜の成膜時の N_2/Ar 流量比を上げると、Mo膜のエッチレートは下がり、Al膜のエッチレートに近づくこととなり、これによりMo膜のAl膜に対するエッチングシフト量が抑えられる。

【0030】次に、Mo膜のスパッタ時の N_2/Ar 流量比によって、その下層のAl合金膜に対する、上層のMo膜の片側エッチングシフト量が増加することを図8のグラフを参照して説明する。

【0031】このグラフの横軸はMoスパッタ時の N_2/Ar 流量比であり、縦軸はウェットエッチング後におけるAl薄膜の幅とその上層のMo薄膜の幅の差を2で割った値、すなわちMo薄膜の片側シフト量(μm)である。ここで、Al合金膜の厚さは 500nm 、Mo薄膜の厚さは 150nm である。図8に示すように、Moスパッタ時の N_2/Ar 流量比を上げると、Mo膜のシフト量は少なくなる。ところで、特開平6-104241号公報には、Mo/Alの2層構造における、Mo膜のAl膜に対するシフト量を、これらの膜厚比により制御する手法が開示されているが、本発明のように、Mo膜とAl膜のエッチングレートを制御する、つまり両者のエッチングレートを近い値にする方が、該両者の膜厚比を制御するよりプロセスマージン(プロセスにおける自由度)が広がる。

【0032】また、図9は、横軸をMoスパッタ時の N_2/Ar 流量比、縦軸をMo膜の比抵抗($\mu\Omega\text{cm}$)として、これらの関係をグラフで示しており、このグラフから、Moスパッタ時の N_2/Ar 流量比を上げると、Mo膜の比抵抗は上昇するが、配線をこのように成長したMo膜とAl膜との2層積層構造とすることにより、Alが低抵抗金属であることから、配線全体の抵抗は下がる。

【0033】例えば、Arのガス流量が 20sccm 、 N_2 のガス流量が 10sccm である雰囲気中で成膜したMo膜の比抵抗は $154\mu\Omega\text{cm}$ になり、比抵抗は大きく上昇するが、配線をこのように成長したMo膜とAl膜との2層構造にすると、Mo膜の層厚が 150nm 、Al膜の層厚が 1500nm である場合、通常のMo膜とAl膜とからなる2層配線の抵抗に比べて十数パーセントしか大きくならない。

【0034】以上の結果から、ソース、ドレイン電極配線を、窒素を導入したMo膜とAl膜との積層構造とすることにより、Mo膜とAl膜とを2層同時にウェットエッチングする際のMo膜のAl膜に対するエッチングシフト量を小さく抑えることができるため、配線抵抗の増大を抑えつつ、ソース、ドレイン電極配線の信頼性を向上させることができる。

【0035】以下、この発明の実施形態について図面を用いて説明するが、この発明は以下の実施形態に限定されるものではない。なお、以下の実施形態の説明に用いる各図は、液晶表示パネルの画素部分の要部を構成するスイッチング素子としての薄膜トランジスタを主として概略的に示す断面図である。

【0036】(実施形態1) 図1は、本発明の実施形態1による薄膜トランジスタの構造を示す図であり、図2(a)~(c)、図3(a)~(c)、図4(a)、(b)は、本発明の実施形態1による薄膜トランジスタの製造方法を説明するための図であり、それぞれ主要工程での薄膜トランジスタの断面構造を示している。

【0037】図において、100は本実施形態1の薄膜トランジスタで、そのガラス基板1上には、 SiO_2 膜2を介して半導体層3が形成されている。この半導体層3の中央部分には、ゲート絶縁膜4を介してゲート電極5が配置されており、該半導体層3のゲート電極5の両側部分は、ソース、ドレイン領域となっている。また、上記半導体層3及びゲート電極5は層間絶縁膜6により覆われており、該層間絶縁膜6の、ソース、ドレイン領域に対応する部分には、コンタクトホール7が形成されている。また、この層間絶縁膜6上には、ソース、ドレイン電極配線10が形成されており、これは、上記コンタクトホール7を介してソース、ドレイン領域と電氣的につながっている。

【0038】ここで、上記ソース、ドレイン電極配線10は、下層のAl合金膜8とその上に形成された窒素を含むMo膜9の2層構造となっている。そして、このソース、ドレイン電極配線10及び上記層間絶縁膜6の表面は、表面保護膜11により被覆されており、該表面保護膜11上には画素電極13が形成されている。この画素電極13は、上記表面保護膜11に形成されたコンタクトホール12を介して上記ソース、ドレイン電極配線10に電氣的につながっている。

【0039】次に製造方法について説明する。

【0040】図2(a)に示すように、ガラス基板1上に、基板からの不純物の拡散を防ぐため、 SiO_2 膜2を 100nm の厚さに堆積し、さらにその上にシリコン層を厚さ 50nm 堆積し、これを加工して半導体層3を形成する。

【0041】次に、全面にゲート絶縁膜として SiO_2 膜4を堆積し、該半導体層3の所定領域上に該ゲート絶縁膜4を介して、耐熱性に優れた低抵抗金属を厚さ 350nm に成膜し、該低抵抗金属膜をパターニングしてゲート電極5を形成する(図2(b)参照)。

【0042】次に、図2(c)に示すように、ソース、ドレインを形成するため、 n^+ イオンの注入を、雰囲気として PH_3 と H_2 の混合ガスを用いて、加速電圧を 80keV 、ドーズ量を $5\text{E}14/\text{cm}^2$ とした条件で行う(図2(c)参照)。

【0043】続いて、Xe-C1エキシマレーザーを用い、室温でかつ大気雰囲気中で 350 mJ/cm^2 のエネルギーでのレーザー照射により上記半導体膜3の活性化を行った後、該全面に絶縁膜6を堆積し、ソース、ドレイン領域に対応するコンタクト孔7、及びゲート電極に対するコンタクト孔（図示せず）を開口する（図3（a））。

【0044】次に、図3（b）に示すように、ソース、ドレイン電極配線として、Al合金膜8を、Arガス 50 sccm 、ガス圧 $3.0 \times 10^{-3}\text{ Torr}$ の雰囲気中で膜厚 500 nm の厚さに成長し、その上にMo膜9をArガス 20 sccm 、N₂ガス 10 sccm 、ガス圧 $3.0 \times 10^{-3}\text{ Torr}$ の雰囲気中で、層厚 150 nm の厚さに成長する。ここでは、上記Al膜とMo膜の2層をスパッタ法で連続して成膜する。なお、上記N₂ガス流量は、上記の値に限るものではないが、Arガス流量の10%～70%に相当するものであることが好ましい。その後、これらのAl薄膜とMo薄膜とをウェットエッチングを用いてパターンニングする。

【0045】このエッチングは、磷酸、硝酸、酢酸、及び水の混合液中に被エッチング層を浸漬することによって行う。Mo膜とAl膜は、ともに上記エッチング液でエッチング可能であるため、これらの膜は、同一エッチング槽内で二層同時に、即ち一工程でエッチング可能である。

【0046】ただし、窒素を含まない雰囲気中でスパッタしたMo膜は、Al膜よりエッチングレートが速いため、Al膜を厚くするほどMo膜のエッチング量が増大することとなり、Al膜に対するMo膜のエッチングシフト量が大きくなる。

【0047】これに対し、本発明では、Al膜とともに2層構造を構成するMo膜を、窒素を含んだ雰囲気中で成膜したものであるため、上記Al膜に対するMo膜のエッチングシフト量を小さく抑えることが可能となる。

【0048】なお、窒素を導入したMo膜を形成するその他の方法としては、成膜したMoからなる膜に、窒素をそのガス流量 10 sccm 、加速電圧 80 keV 、RFパワー 180 W 、ドーズ量 $1.8\text{ E}15/\text{cm}^2$ の条件でイオン注入する方法、成膜したMoからなる膜を、窒素雰囲気中でアニールする方法がある。これらの方法は、上記のように2層構造のソース、ドレイン電極配線を有する薄膜トランジスタの製造プロセスに用いることができる。

【0049】このようにして、図3（c）に示すように、エッチングシフト量を抑えたMo/Alの2層構造のソース、ドレイン電極配線10を形成することができる。

【0050】次いで、ソース、ドレイン電極配線10を覆うように基板表面全体に保護膜11を成膜し、画素電

極との導通をとるために、該保護膜11にコンタクトホール12を開口する（図4（a）参照）。

【0051】そして最後にITO薄膜を堆積しパターンニングして画素電極13を形成して、薄膜トランジスタ100を完成する（図4（b））。

【0052】（実施形態2）次に、本発明の実施形態2による薄膜トランジスタ及びその製造方法について説明する。

【0053】この実施形態2では、上記実施形態1と同様の処理（図2（a）～2（c）参照）を経て、図3（a）に示すように層間絶縁膜6にコンタクトホール7を開けた後、ソース、ドレイン電極配線として、Al合金膜8を厚さ 500 nm に成膜し、その上にMo膜を、MoF₆ガス 70 sccm 、N₂ガス 500 sccm 、ガス圧 30 Torr 、処理温度 430°C の条件にて、 150 nm の厚さにCVD法により成膜する。これにより、窒素を含有するMo膜9を形成する（図3（b）参照）。なお、ここでは、上記N₂ガスに代えて、アンモニアガスを用いることもできる。

【0054】そして、これらAl薄膜8とMo薄膜9とをウェットエッチングによってパターンニングして、図3（c）に示すように、エッチングシフトを抑えたMo/Alの2層構造のソース、ドレイン電極配線10を形成する。

【0055】それ以降の工程では、実施形態1と同様の処理（図4（a）、図4（b））を行って薄膜トランジスタ（図1参照）を完成する。

【0056】（実施形態3）次に、本発明の実施形態3による薄膜トランジスタ及びその製造方法について説明する。

【0057】この実施形態3では、上記実施形態1と同様の処理（図2（a）～図2（c）参照）を経て、層間絶縁膜6にコンタクトホール7を開けた後（図3（a））、ソース、ドレイン電極配線として、Al合金膜8をArガス 50 sccm 、ガス圧 0.4 Pa の雰囲気中で、厚さ 500 nm に成長し、その上にMo膜をArガス 50 sccm 、ガス圧 0.4 Pa の雰囲気中で厚さ 150 nm に成長する。ここでは、これらの2層をスパッタ法などで連続して成膜する。

【0058】そして、成膜したMo膜に対して、N₂ガス 1000 sccm 、ガス圧 10 Torr 、処理温度 500°C の条件で、2分間ランプアニール処理を行う。これによりMo膜中に窒素を導入する。なお、ここで、上記N₂ガスに代えてアンモニアガスを用いることもできる。また上記処理温度は 500°C に限るものではないが、 450°C ～ 600°C の範囲であることが好ましい。

【0059】このようにして窒素を含有するMo膜とAl膜との積層構造を形成した後（図3（b））、これら2層膜をウェットエッチングによってパターンニングして、図3（c）に示すように、エッチングシフトを抑え

たMo/A1の2層構造のソース、ドレイン電極配線10を形成する。

【0060】以降の工程では、実施形態1と同様の処理(図4(a)、図4(b))を行って薄膜トランジスタ(図1参照)を完成する。

【0061】(実施形態4)次に、本発明の実施形態4による薄膜トランジスタ及びその製造方法について説明する。

【0062】上記実施形態1と同様の処理(図2(a)~図2(c))を経て層間絶縁膜6にコンタクトホール7を開けた後(図5(a))、ソース、ドレイン電極配線として、A1膜又はA1合金膜8をArガス50sccm、ガス圧0.4Paの雰囲気中で厚さ500nmに形成し、その上にMo膜14をArガス50sccm、ガス圧0.4Paの雰囲気中で厚さ150nmに形成する。ここで、これらの2層はスパッタ法などで連続して成膜する(図5(b))。

【0063】そして、成膜したMoのみからなる純Mo膜14に、N₂ガスの流量10sccm、加速電圧80keV、RFパワー180W、ドーズ量1.8E15/cm²の条件で、窒素のイオン注入処理を施す(図5(c)参照)。これにより上記純Mo膜14中に窒素を導入して、窒素を含むMo膜9を形成する。

【0064】このようにして窒素を含有するMo膜9とA1膜またはA1合金膜8の積層構造を形成した後(図3(b)参照)、これら2層膜をウェットエッチングによってパターンニングして、図3(c)に示すように、エッチングシフトを抑えたMo/A1の2層構造のソース、ドレイン電極配線10を形成する。

【0065】以降の工程では、上記実施形態1と同様の処理(図4(a)、図4(b)参照)を行って薄膜トランジスタ(図1参照)を完成する。

【0066】なお、上記各実施形態では、Mo膜の比抵抗について具体的な値は示していないが、該各実施形態では、Mo膜の比抵抗を、65~195μΩcmの範囲の値に設定しており、このような比抵抗の、窒素を含有するMo膜では、ウェットエッチングの際にA1膜に対するMo膜のシフト量を小さく抑えることが可能となる。

【0067】また、上記各実施形態では、A1膜上にMo膜を形成した2層構造のソース、ドレイン電極配線を示したが、場合によっては、ソース、ドレイン電極配線を、Mo膜上にA1膜を形成した2層構造としてもよく、この場合も、Mo膜を、窒素を含有するものとするにより、ウェットエッチングの際にA1膜に対するMo膜のシフト量を小さく抑えることができる。

【0068】

【発明の効果】以上のように本発明によれば、液晶ディ

スプレイを構成する、マトリクス状にTFETが配列された基板におけるソース、ドレイン電極配線を、A1系金属膜と、Mo膜からなる2層構造としたので、該ソース、ドレイン電極配線の信頼性を向上することができ、これにより製品の歩留向上を図ることができる。

【0069】また、Mo薄膜を、窒素を含んだ雰囲気中で成膜したものとしているので、A1膜とMo膜の2層構造の配線を、同時にウェットエッチングしてパターン形成する際に、Mo膜のエッチングシフトを小さく抑えて、ソース、ドレイン電極配線の高精度の微細なパターンニングを行うことが可能となる効果がある。

【図面の簡単な説明】

【図1】本発明の実施形態1~4による薄膜トランジスタの構造を説明するための断面図である。

【図2】上記実施形態1~4による薄膜トランジスタの製造方法を説明するための断面図である。

【図3】上記実施形態1~4による薄膜トランジスタの製造方法を説明するための断面図である。

【図4】上記実施形態1~4による薄膜トランジスタの製造方法を説明するための断面図である。

【図5】本発明の実施形態4による薄膜トランジスタの製造方法を説明するための断面図である。

【図6】従来の技術における問題点を説明するための図である。

【図7】Moスパッタ時のN₂/Ar流量比と、Mo膜のエッチレート(nm/min)との関係をグラフで示す図である。

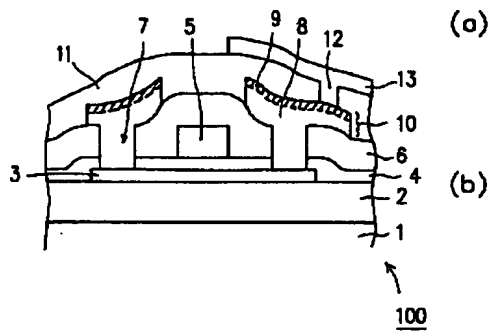
【図8】Moスパッタ時のN₂/Ar流量比と、Mo膜のシフト量(μm)との関係をグラフで示す図である。

【図9】Moスパッタ時のN₂/Ar流量比と、Mo膜の比抵抗(μΩcm)との関係をグラフで示す図である。

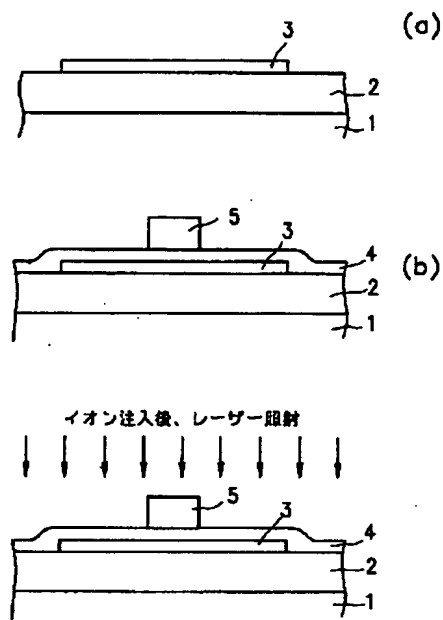
【符号の説明】

- 1 ガラス基板
- 2 SiO₂膜
- 3 半導体層
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 絶縁膜
- 7 ソース、ドレインコンタクト
- 8 A1又はA1合金膜
- 9 窒素を含有するMo膜
- 10 ソース・ドレイン2層配線
- 11 保護膜
- 12 コンタクトホール
- 13 画素電極
- 14 純Mo膜
- 100 薄膜トランジスタ

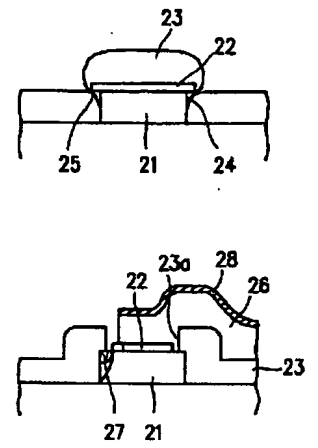
【図 1】



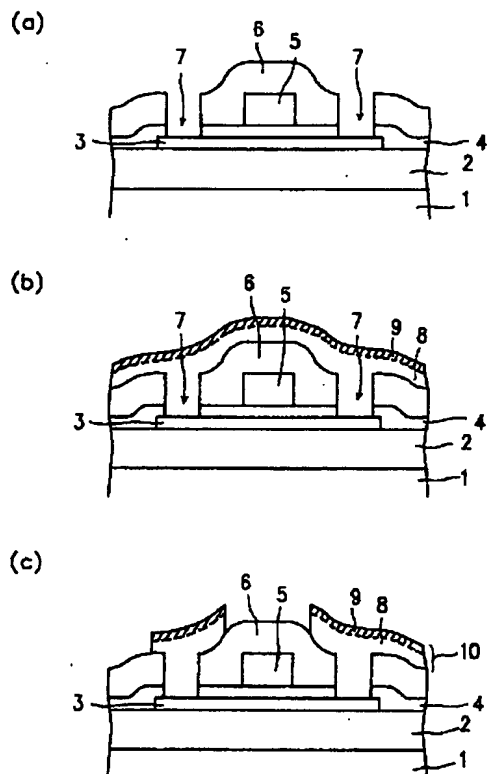
【図 2】



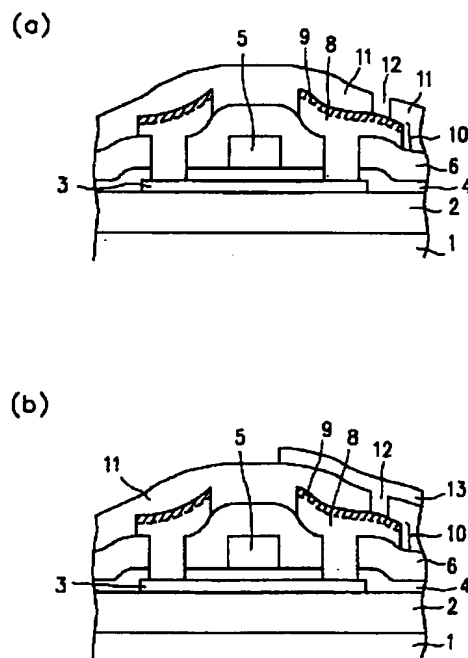
【図 6】



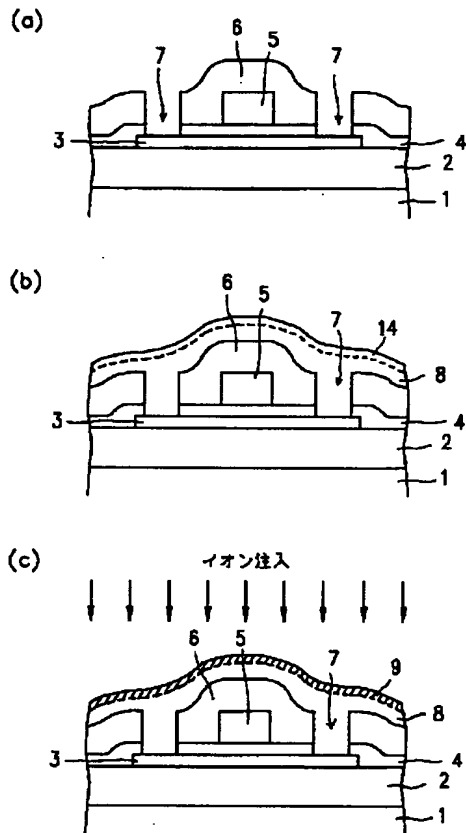
【図 3】



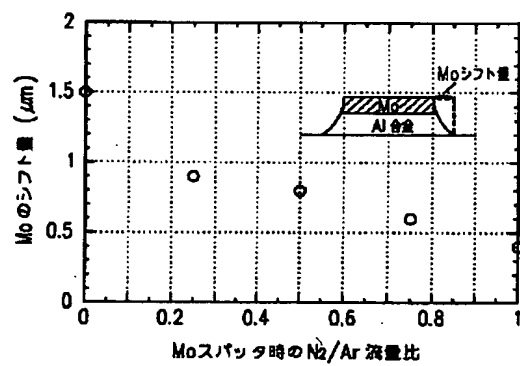
【図 4】



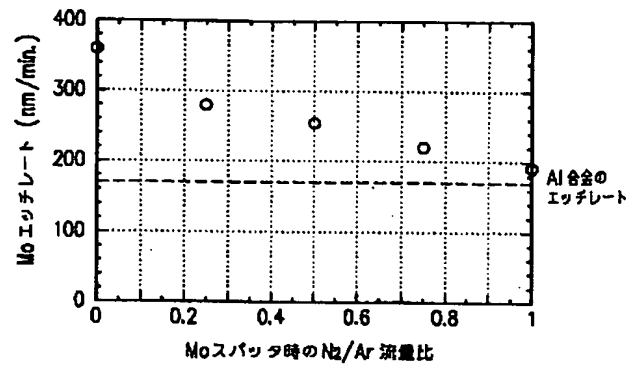
【図5】



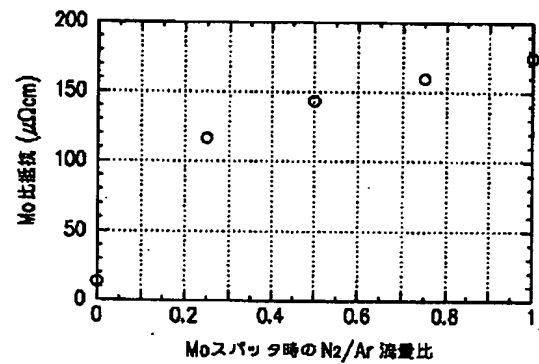
【図8】



【図7】



【図9】



フロントページの続き

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I
H O 1 L 21/88

技術表示箇所

N
M

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.